

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-119708

(43)Date of publication of application : 27.04.2001

(51)Int.Cl.

H04N 9/07
H04N 5/217
H04N 5/235
H04N 5/243
H04N 9/04

(21)Application number : 11-297316

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.10.1999

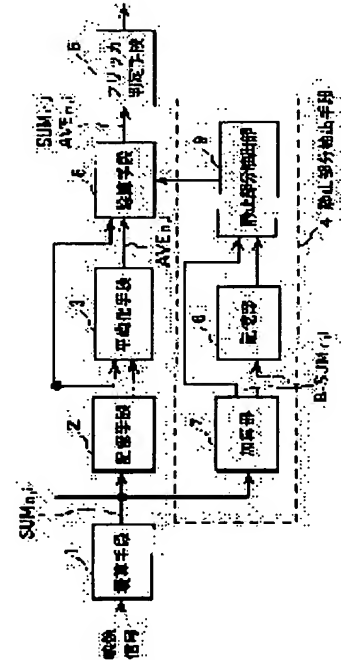
(72)Inventor : KASAHARA MISA
Tabei Kenji
Sube Makoto

(54) FLICKER DETECTION AND CORRECTION DEVICE, AND FLICKER DETECTION AND CORRECTION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately detect flicker even when a luminance level of a video signal is changed due to a motion of an object.

SOLUTION: The flicker detection and correction device is provided with an integration means 1 that integrates a pixel level of a video signal for each line, an averaging means 3 that averages the outputs of the integration means 1 with respect to lines at the same picture position in frames or fields, a still part extract means 4 that extracts a still part of the picture by using the output of the integration means 1, a division means 5 that divides the integration result for each line by the integration means 1 by an averaging result for each line by the averaging means 3, and a flicker discrimination means 6 that applies frequency analysis of the result of division by the division means 5 to discriminate the flicker.

**LEGAL STATUS**

[Date of request for examination] 07.03.2000

[Date of sending the examiner's decision of rejection] 27.05.2003

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection] 2003-11837

[Date of requesting appeal against examiner's decision 26.06.2003
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号
特開2001-119708
(P2001-119708A)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マ-ド*(参考) |
|--------------------------|-------|---------|----------------------|
| H 0 4 N | 9/07 | H 0 4 N | C 5 C 0 2 1 |
| | 5/217 | | 5 C 0 2 2 |
| | 5/235 | | 5 C 0 6 5 |
| | 5/243 | | |
| | 9/04 | | B |
| | | 審査請求 有 | 請求項の数14 O L (全 14 頁) |

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 笠原 みさ
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(72)発明者 田部井 憲治
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(74)代理人 100099254
弁理士 役 昌明 (外3名)

【特許請求の範囲】

【請求項1】 フレームまたはフィールド内の所定の領域毎の画素レベルを積算する積算手段と、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記領域毎の積算結果を前記平均化手段の前記領域毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えたフリッカ検出装置。

【請求項2】 前記所定の領域は1ラインである請求項1記載のフリッカ検出装置。

【請求項3】 前記所定の領域はフレームまたはフィールド内のフリッカ成分がほぼ等しい領域である請求項1記載のフリッカ検出装置。

【請求項4】 前記静止部分抽出手段は、フレームまたはフィールド内のフリッカのビート周期の整数倍に対応する画像垂直方向の複数の領域からなる静止部分判定ブロックに対して前記領域毎の積算結果を加算する加算部と、現在のフレームまたはフィールドにおける前記加算部の加算結果と、過去のフレームまたはフィールドにおける同一画像位置の前記加算結果との変化量をもとに、前記ブロックが静止部分であるか否かを判定する静止部分抽出部とを有する請求項1乃至3のいずれか1項記載のフリッカ検出装置。

【請求項5】 前記静止部分抽出部は、前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果との差分をとる差分手段と、前記差分手段の出力を前記現在の加算結果または過去の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する請求項4記載のフリッカ検出装置。

【請求項6】 前記静止部分抽出部は、前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化する平均化手段と、前記現在の加算結果と前記平均化手段の平均化結果との差分をとる差分手段と、前記差分手段の差分結果を前記平均化手段の平均化結果または前記現在の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する請求項4記載のフリッカ検出装置。

【請求項7】 請求項1乃至6のいずれか1項記載のフリッカ検出装置と、前記フリッカ検出装置の出力をもとに、映像信号を生成する撮像手段のシャッター速度を制御する制御信号、および前記映像信号のゲインを制御す

る制御信号を作成するフリッカ補正制御手段とを備えたことフリッカ検出・補正装置。

【請求項8】 フレームまたはフィールド内の所定の領域毎の画素レベルを積算し、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するフリッカフリッカ検出方法。

【請求項9】 前記所定の領域は1ラインである請求項8記載のフリッカ検出方法。

【請求項10】 前記所定の領域はフレームまたはフィールド内のフリッカ成分がほぼ等しい領域である請求項8記載のフリッカ検出方法。

【請求項11】 フレームまたはフィールド内のフリッカのビート周期の整数倍に対応する画像垂直方向の複数の領域からなる静止部分判定ブロックに対して前記領域毎の積算結果を加算し、現在のフレームまたはフィールドにおける前記加算結果と、過去のフレームまたはフィールドにおける同一画像位置の前記加算結果との変化量をもとに、前記ブロックが静止部分であるか否かを判定することにより、静止部分を抽出する請求項8乃至3のいずれか1項記載のフリッカ検出方法。

【請求項12】 前記現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果との差分をとり、前記差分結果を前記現在の加算結果または過去の加算結果で除算し、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定する請求項11記載のフリッカ検出方法。

【請求項13】 前記加算部の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化し、前記現在の加算結果と前記平均化結果との差分をとり、前記差分結果を前記平均化結果または前記現在の加算結果で除算し、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定する請求項11記載のフリッカ検出方法。

【請求項14】 請求項8乃至13のいずれか1項記載のフリッカ検出方法で検出されたフリッカ周波数をもとに、映像信号を生成する撮像装置のシャッター速度の制御と、前記映像信号のレベルの制御とを行うフリッカ検出・補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型撮像素子のようなXYアドレス方式の撮像素子を用い、電源周波数で明るさが変動する照明光のもとで撮像された映像に発生するフリッカを検出し、補正することを可能としたフリッカ検出・補正装置に関する。

【0002】

【従来の技術】まず、図18～図19を用いて、前記フリッカの発生する原理を説明する。

【0003】図18は電源周波数が50Hzの場合の、フリッカの発生原理を説明するための図である。

【0004】この図の(a)に示すような周波数が50Hzの交流電源で蛍光灯などを点灯した場合、その照明光は電源電流の振幅が最も大きくなったときに最も明るくなるので、(b)に示すように、電源周波数の2倍の周波数(ここでは100Hz)で光量変動する。

【0005】このように明るさが周期的に変動する蛍光灯の下で、1/30秒蓄積のMOS型撮像素子で撮像した場合の蓄積タイミングと撮像素子出力を(c)、

(d)に示す。この場合、(c)に示すように、読み出し点A1からB1までの入射光量を積分した値が撮像素子の第1ラインの出力信号になる。同様に、読み出し点A2からB2までの入射光量の積分が第2ラインの出力信号となり、以下最終ラインまで同様の結果となる。

【0006】このとき、入射される光量に対応して、撮像素子出力に(d)に示すような変動が現れ、画面上で輝度レベルの変動となるため、フリッカとして認識される。フレーム周期が30Hzの場合、3フレーム周期で照明の明るさの位相が揃うため、3フレーム周期毎の輝度レベルの変動となる。さらにMOS型撮像素子の場合、(b)に示したように、1ライン毎に蓄積タイミングが異なるため、1フレーム内にこのフリッカが現れ、画面上で黒い縞模様として認識されることになり、画質劣化を引き起こす。

【0007】図19は、電源周波数が60Hzの場合の、フリッカの発生原理を説明するための図である。

【0008】この図の(a)に示すように、周波数が60Hzの交流電源で蛍光灯などを点灯した場合、50Hzの場合と同様、(b)に示すように、電源周波数の2倍の周波数(この場合は120Hz)で光量変動する。

【0009】このように明るさが120Hzの周期で変動する蛍光灯の下で、1/50秒蓄積のMOS型撮像素子で撮像した場合、(c)に示すように読み出し点A1からB1までの入射光量を積分した値が撮像素子の第1ラインの出力信号になる。同様に、読み出し点A2からB2までの入射光量の積分が第2ラインの出力信号となり、以下最終ラインまで同様の結果となる。

【0010】このとき、入射される光量に対応して、撮像素子出力に(d)に示すような変動が現れ、画面上で輝度レベルの変動となるため、フリッカとして認識される。

【0011】電源周波数が60Hzの場合は、フレーム周期が光量変動周期の整数倍であるため、50Hzの場合に発生するようなフレーム毎の輝度レベルの変動は発生しない。しかし、電源周波数が60Hz付近で変動すると、画面上の黒い縞模様がフレーム毎に動くように見え、画質劣化を引き起こす。さらにMOS型撮像素子の場合

は、50Hzの場合と同様に1ライン毎に蓄積タイミングが異なるため、1フレーム内にこのフリッカが現れ、画面上で黒い縞模様として認識されることになり、画質劣化を引き起こす。

【0012】次に、図20を用いてフリッカを補正する原理を説明する。ここで、(a)～(c)は電源周波数が50Hzの場合、(d)～(f)は電源周波数が60Hzの場合の図である。

【0013】電源周波数が50Hzの場合は、(a)に示すように1/100秒で照明の明るさが変動する。このとき、(b)に示すように、シャッター速度(撮像素子の蓄積時間)を1/100秒の整数倍(図示は2倍の例であるが、1倍または3倍でもよい)に設定する。このように設定すると、第1ラインの読み出しタイミング(A1からB1)と、第2ラインの読み出しタイミング(A2からB2)は、入射光量が同一となる。同様に、第3ライン以下最終ラインまで入射光量が同一となる。このため、(c)に示すように、撮像素子出力は一定量となり、フリッカは発生しない。

【0014】また、電源周波数が60Hzの場合は、50Hzの場合と同様に、シャッター速度を1/120秒の整数倍(1倍～4倍)に設定する。(e)は1/120秒の2倍の1/60秒に設定した場合を示している。この図に示すように、第1ラインの読み出しタイミング(A1からB1)と、第2ラインの読み出しタイミング(A2からB2)は、入射光量が同一となる。同様に、第3ライン以下最終ラインまで入射光量が同一となる。このため、撮像素子出力は一定量となり、フリッカは発生しない。

【0015】つまり、シャッター速度を電源周期の整数倍であり、かつフレーム周期以内に設定することで、フリッカの発生を抑圧しているわけである。

【0016】そして、このような補正原理に基づいてフリッカの補正を行う撮像装置としては、例えば特公平8-15324号公報に記載されたものがあった。この撮像装置においては、撮像素子で生成された映像信号の現フィールドの積分値と前フィールドの積分値との差分値を所定のしきい値と比較することでフリッカの有無を検出し、検出されたフリッカの有無に応じてシャッター速度を切り替える構成を有している。

【0017】

【発明が解決しようとする課題】しかしながら、前記従来の撮像装置では以下の(1)～(4)に記載する問題点があった。

(1) 現フィールドと前フィールドとの差分をとるため、MOS型撮像素子を用いた場合に発生するフィールド(またはフレーム)内のフリッカを検出することができない。

(2) 現フィールドと前フィールドとの差分をとるため、被写体の動きなどにより映像信号の輝度レベルに変動があった場合、それを誤ってフリッカと判定するおそ

れがあり、正確にフリッカを検出することができない。

(3) 電源周波数が60Hzの場合に発生するフリッカは、フィールド毎の変動が殆どないため、現フィールドと前フィールドとの差分をとることにより検出することはできない。このため、フリッカなしと判定してしまう。

(4) フリッカ補正のためにシャッター速度を $1/100$ 秒または $1/60$ 秒に設定すると、入射光量が大きくなったときに映像信号レベルが飽和してしまい、映像が表示されない。

【0018】本発明は、このような問題点を鑑みてなされたものであり、被写体の動きなどにより映像信号の輝度レベルに変動があった場合でも、フレームまたはフィールド内にて発生するフリッカを正確に検出することが可能なフリッカ検出装置を提供することを目的とする。

【0019】また、電源周波数が60Hzの場合に発生するフリッカの検出が可能なフリッカ検出装置を提供することを目的とする。

【0020】さらに、フリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することの可能なフリッカ検出・補正装置を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明のフリッカ検出装置は、フレームまたはフィールド内の所定の領域毎の画素レベルを積算する積算手段と、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記領域毎の積算結果を前記平均化手段の前記領域毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えた。この構成により、動きのある画像に対しても静止部分の画像情報を用いてフリッカ検出を行うことにより、動画像においても50Hzおよび60Hzのフリッカ検出が高精度に行うことが可能となる。

【0022】本発明のフリッカ検出・補正装置は、本発明のフリッカ検出装置と、前記フリッカ検出装置の出力をもとに、映像信号を生成する撮像手段のシャッター速度を制御する制御信号、および前記映像信号のゲインを制御する制御信号を作成するフリッカ補正制御手段とを備えた。この構成により、動画像のフリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することができる。

【0023】本発明のフリッカ検出方法は、フレームまたはフィールド内の所定の領域毎の画素レベルを積算し、複数フレームまたはフィールドにおける同一の画像位置の前記領域毎の積算結果を平均化し、前記積算結果

を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定する。この構成により、動画像においても50Hzおよび60Hzのフリッカ検出が高精度に行うことが可能となる。

【0024】本発明のフリッカ検出・補正方法は、本発明のフリッカ検出方法で検出されたフリッカ周波数とともに、映像信号を生成する撮像装置のシャッター速度の制御と、前記映像信号のレベルの制御とを行う。この構成により、動画像のフリッカの補正を実現し、かつ入射光量が大きくなったときに映像が表示されなくなる状態を回避することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。なお、本発明はフレーム処理またはフィールド処理のいずれにも適用可能であるが、以下の説明はフレーム処理の場合について記載する。

【0026】(第1の実施の形態) 本発明の第1の実施の形態のフリッカ検出装置は、フレーム内の映像信号の画素レベルを1ライン毎に積算する積算手段と、過去の複数フレームにおける同一画像位置のラインに対し、前記1ライン毎の積算結果を平均化する平均化手段と、前記積算手段の出力を用いて画像の静止部分を抽出する静止部分抽出手段と、前記静止部分抽出手段で抽出された静止部分に対して、前記積算手段の前記1ライン毎の積算結果を前記平均化手段の前記1ライン毎の平均化結果で除算する除算手段と、前記除算手段の除算結果を周波数分析してフリッカの有無を判定するフリッカ判定手段とを備えている。

【0027】図1は、本発明の第1の実施の形態のフリッカ検出装置の構成を示すブロック図である。このフリッカ検出装置は、積算手段1と、積算手段1の出力が入力される記憶手段2と、積算手段1の出力および記憶手段2の出力が入力される平均化手段3と、積算手段1の出力が入力される静止部分抽出手段4と、積算手段1の出力、平均化手段3の出力、および静止部分抽出手段4の出力が入力される除算手段5と、除算手段5の出力が入力されるフリッカ判定手段6とから構成されている。ここで、積算手段1、平均化手段3、静止部分抽出手段4、除算手段5、およびフリッカ判定手段5は、ハードロジック、DSP、またはコンピュータによるソフト処理のいずれを用いて実現しても良い。

【0028】積算手段1には、図示されていないMOS型撮像素子で撮像された有効走査期間の映像信号が入力される。この映像信号は、明るさが50Hzまたは60Hzで変動する光源の下で生成されたものである。積算手段1は、1フレームの有効走査期間の映像信号の画素をライン毎に加算または平均化する。図2に示すように、第

n フレームの第 i ラインの画素レベルをライン毎に加算または平均化した結果を SUM_{ni} と記述する。したがって、映像信号の1フレームが480ラインで構成されている場合には、 $i=1\sim 480$ について、 $SUM_{n1}\sim SUM_{n480}$ を演算する。

【0029】記憶手段2は、積算手段1の出力を一時的に予め定められたフレーム分記憶する。平均化手段3は、 SUM_{ni} が算出される以前に積算手段1から出力され、記憶手段2に記憶されていた $SUM_{n-1,i}$ と、 $SUM_{n-2,i}$ と、 $SUM_{n-3,i}$ との加算または平均化を行う。ここで、 $SUM_{n-1,i}$ 、 $SUM_{n-2,i}$ 、 $SUM_{n-3,i}$ は、図3に示すように、それぞれ第 $n-1$ フレーム、第 $n-2$ フレーム、第 $n-3$ フレームの第 i ラインにおける画素レベルを加算または平均化したものである。この場合、記憶手段2は積算手段1の出力を3フレーム分蓄積している。ここで、 $SUM_{n-1,i}$ と、 $SUM_{n-2,i}$ と、 $SUM_{n-3,i}$ とを加算または平均化した結果を AVE_{ni} と記述する。なお、ここでは過去の3フレーム分との加算または平均化を行ったが、2フレーム分以上であれば良い。

【0030】静止部分抽出手段4は、積算手段1の出力を用いて画像の静止部分を抽出する。静止部分抽出手段4は、積算手段1の出力が入力される加算部7と、加算部7の出力が入力される記憶部8と、加算部7の出力および記憶部8の出力が入力される静止部分抽出部9とを備えている。

【0031】加算部7は、フレーム内のフリッカ成分の N 周期分のラインに対して積算手段1の出力を加算する。前記 N 周期分のラインにより構成される画像の部分を静止部分判定用ブロックと呼ぶ。第 n フレームの j 番目の静止部分判定用ブロックにおいて加算対象となる先頭のライン番号を k 、フレーム内のフリッカ成分の N 周期分のライン数を p ラインとすると、加算手段の出力 $B-SUM_{nj}$ は下記の式で表すことができる。

$$B-SUM_{nj} = SUM_{nk} + SUM_{nk+1} + \dots + SUM_{nk+p-1}$$

【0032】図4は、 $N=1$ 、 $j=1$ の場合を示している。図18に示したように、光源の電源周波数が50Hz、フレーム周期が30Hzの場合には、 N は1から3までの整数値をとる。そして、図4に示した $N=1$ の場合、 j は1から3までの整数値をとる。このように、フレーム内のフリッカ成分の N 周期分のラインに対して積算手段1の出力を加算した加算結果は、どのフレームについても、光源の明るさの周期変化による輝度レベルの変化成分が同一となる。

【0033】記憶部8は、加算部7の出力を数フレーム分一時的に記憶する。静止部分抽出部9は、加算部7で演算された加算結果 $B-SUM_{nj}$ と、記憶部8から読み出された1フレーム前の加算結果 $B-SUM_{n-1,j}$ との差分を計算し、その値が予め設定したしきい値 TH 以下の場合に、その静止部分判定用ブロックを静止部分と判定す

る。前述したとおり、 $B-SUM_{nj}$ と $B-SUM_{n-1,j}$ において光源の明るさの周期変化による輝度レベルの変化成分が同一となるため、差分結果は被写体の変化分に相当する。したがって、その差分結果をしきい値 TH と比較することにより、静止部分か否かを判定することができる。

【0034】除算手段5は、静止部分抽出手段4により静止部分と判定されたブロックに対して、積算手段1の出力である SUM_{ni} と平均化手段3の出力である AVE_{ni} とを用いて SUM_{ni}/AVE_{ni} を算出する。フリッカ判定手段6は除算手段5の出力を用いてフリッカの有無を判定する。図6にフリッカ判定手段6の構成例を示す。このフリッカ判定手段6は、除算手段5の出力が入力されるDFT (Discrete Fourier Transform: 離散フーリエ変換) 手段21と、その出力をしきい値処理してフリッカの有無を判定するしきい値処理手段22とから構成されている。

【0035】図7(a)は、除算手段5の出力である SUM_{ni}/AVE_{ni} を波形で示した一例である。ここで、横軸はライン数、すなわち i であり、縦軸は除算結果のレベル、すなわち SUM_{ni}/AVE_{ni} を示している。

【0036】図7(b)は、DFT手段21の出力の一例である。ここで、横軸は周波数、縦軸は周波数成分のレベルの大きさを示している。そして、50Hzの周波数成分を検出するために、50Hz用のDFT演算を行ったときの周波数成分レベルが図中の F_{50} であり、60Hzの周波数成分を検出するために、60Hz用のDFT演算を行ったときの周波数成分レベルが図中の F_{60} である。

【0037】しきい値処理手段22では、DFT部21の出力に対して、4つのしきい値、 TH_{50-ON} 、 TH_{50-OFF} 、 TH_{60-ON} 、 TH_{60-OFF} を予め設定しておく。これらのしきい値には、 $TH_{50-ON} > TH_{50-OFF}$ 、 $TH_{60-ON} > TH_{60-OFF}$ の関係が成り立つ。そのしきい値と、前述した50Hzの周波数成分および60Hzの周波数成分とを比較し、その大小関係により、フリッカの有無の判定を行う。

【0038】すなわち、 $F_{50} < TH_{50-OFF}$ かつ、 $F_{60} < TH_{60-OFF}$ のときフリッカ無しと判定し、 $\alpha \times F_{60} < F_{50}$ かつ、 $F_{50} > TH_{50-ON}$ のとき50Hzのフリッカ有りと判定し、 $\beta \times F_{50} < F_{60}$ かつ、 $F_{60} > TH_{60-ON}$ のとき60Hzのフリッカ有りと判定し、上記以外の場合は不明と判定する。

【0039】上記の判定式において、 α は50Hzのフリッカ検出用の重み係数、 β は60Hzのフリッカ検出用の重み係数である。これらの係数はいずれも1より十分大きな値に設定されているので、50Hz (または60Hz) の周波数成分が60Hz (または50Hz) の周波数成分よりも予め設定された重み係数倍より大きい場合に、50Hz (または60Hz) のフリッカが有ると判定していることになる。これによって、被写体のパターンによるフレーム内の輝度レベルの変化がフリッカと判定されるおそ

れを低減している。

【0040】このように、本発明の第1の実施の形態によれば、フレーム内の所定の1ライン毎の画素レベルを積算し、過去の複数フレームにおける同一の画像位置のラインに対し、前記1ライン毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記1ライン毎の積算結果を前記1ライン毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するので、動画の撮像時においても50Hz、60Hzのフリッカ検出を高精度に行うことができる。

【0041】なお、上記の実施の形態では、積算手段1においてフレーム内の全ラインについて積算しているが、フリッカ成分の周期に対して十分に短い間隔で間引きしたラインに対して積算を行っても良い。この場合は、積算手段以降の平均化、除算、およびフリッカ検出手段も間引きしたラインの信号に対して処理を行う。このように構成することで、記憶手段2の容量を削減することができる。また、平均化手段3は、加算平均に限らず巡回型フィルタやFIRフィルタで構成しても同様な効果が得られる。

【0042】(第2の実施の形態) 本発明の第2の実施の形態のフリッカ検出装置では、積算手段1が映像信号の画素レベルを1ライン毎に積算する代わりに、フレーム内のフリッカ成分がほぼ等しい領域毎に積算するように構成した。積算手段1の積算演算の内容以外は第1の実施の形態と同様である。

【0043】図8は、本発明の第2の実施の形態における積算手段1の積算演算を説明するための図である。この図に示すように、フレーム内のフリッカ成分がほぼ等しいとみなせる領域(図では、隣接した2ラインの左半分ずつとした)の全有効画素のレベルを加算または平均化している。ここでは、フレーム内のフリッカ成分がほぼ等しいとみなせる領域をブロックと呼ぶ。そして、第nフレームのi番目のブロックの全有効画素のレベルを加算または平均化した値を SUM_{nbi} と記述する。

【0044】図9は、本発明の第2の実施の形態における平均化手段3の平均化演算を説明するための図である。この図に示すように、平均化手段3は、 SUM_{nbi} が算出される以前に積算手段1から出力され、記憶手段2に記憶されていた SUM_{n-1bi} と、 SUM_{n-2bi} と、 SUM_{n-3bi} との加算または平均化を行う。ここで、 SUM_{n-1bi} 、 SUM_{n-2bi} 、 SUM_{n-3bi} は、図9に示すように、それぞれ第n-1フレーム、第n-2フレーム、第n-3フレームのi番目のブロックにおける画素レベルを加算または平均化したものである。この場合、記憶手段2は積算手段1の出力を3フレーム分蓄積している。ここで、 SUM_{n-1bi} と、 SUM_{n-2bi} と、 SUM_{n-3bi} とを加算または平均化した結果を AVE_{ni} と記述する。

【0045】図10は、本発明の第2の実施の形態における加算部7の加算演算を説明するための図である。加算部7は、フレーム内のフリッカ成分のN周期分に対応する画像垂直方向のブロックに対して積算手段1の出力を加算する。前記N周期分の垂直方向ブロックにより構成される画像の部分の静止部分判定用ブロックと呼ぶ。第nフレームのj番目の静止部分判定用ブロックにおいて加算対象となる先頭のブロック番号をm、フレーム内のフリッカ成分のN周期分に対応する画像垂直方向のブロック数をq個とすると、加算手段の出力 $B-SUM_{nbj}$ は下記の式で表すことができる。

$$B-SUM_{nbj} = SUM_{na} + SUM_{na+1} + \dots + SUM_{na+q-1}$$

【0046】図10は、 $N=1$ 、 $j=1$ の場合を示している。第1の実施の形態と同様、光源の電源周波数が50Hz、フレーム周期が30Hzの場合には、Nは1から3までの整数値をとる。そして、図10に示した $N=1$ の場合、jは1から3までの整数値をとる。このように、フレーム内のフリッカ成分のN周期分のラインに対して積算手段1の出力を加算した加算結果は、どのフレームについても、光源の明るさの周期変化による輝度レベルの変化成分が同一となる。

【0047】図11は、本発明の第2の実施の形態における静止部分抽出部9の処理を説明するための図である。静止部分抽出部9は、加算部7で演算された加算結果 $B-SUM_{nbj}$ と、記憶部8から読み出された1フレーム前の加算結果 $B-SUM_{n-1bj}$ との差分を計算し、その値が予め設定したしきい値TH以下の場合に、その静止部分判定用ブロックを静止部分と判定する。

【0048】静止部分抽出部9の判定結果を除算手段5へ与えられる。除算手段5は、静止部分抽出手段4により静止部分と判定されたブロックに対して、積算手段1の出力である SUM_{nbi} と平均化手段3の出力である AVE_{ni} とを用いて SUM_{nbi}/AVE_{ni} を算出する。フリッカ判定手段6は除算手段5の出力を用いてフリッカの有無を判定する。フリッカ判定手段6の構成および動作は第1の実施の形態と同様である。

【0049】本発明の第2の実施の形態のフリッカ検出装置は、特に色フィルタを用いた撮像素子にて撮像された信号に有効である。図12に単板撮像素子用色フィルタの配列の様子を示す。ここで、(a)は補色フィルタ配列であり、(b)は原色フィルタの一種であるベイヤー配列の一部を示したものである。これらの図に示すように、撮像素子の画素毎にそれぞれ異なる色フィルタが貼られている。

【0050】図12(a)に示す補色フィルタでは、シアンCyと黄色Yeとが1画素ずつ交互に配列されたラインと、マゼンタMgと緑Gとが1画素ずつ交互に配列されたラインとが、1ラインずつ交互に配列されている。この色フィルタを用いた撮像素子の出力の2ライン

を加算する際に、点線で囲んだ4画素を1ブロックとし、同じブロックを複数個積算する。1ブロック内の信号は、

$$C_y + M_g + Y_e + G = 2R + 3G + 2B \equiv Y$$

となり、ほぼ輝度信号Yと同じ信号が得られる。この輝度信号に近い信号がいくつも積算された信号を用いることにより、輝度信号を用いてフリッカ検出ができるため、精度の高いフリッカ検出が可能となる。

【0051】次に、図12(b)に示すベイヤ配列の場合は、赤Rと緑Gとが1画素ずつ交互に配列されたラインと、緑Gと青Bとが1画素ずつ交互に配列されたラインとが、1ラインずつ交互に配列されている。この色フィルタを用いた撮像素子の出力の2ラインを加算する際に、点線で囲んだ4画素を1ブロックとし、同じブロックを複数個積算する。1ブロック内の信号は、

$$R + G + G + B = R + 2G + B \equiv Y$$

となり、ほぼ輝度信号Yと同じ信号が得られる。この輝度信号に近い信号がいくつも積算された信号を用いることにより、輝度信号を用いてフリッカ検出ができるため、精度の高いフリッカ検出が可能となる。

【0052】本発明の第2の実施の形態では、フレーム内のフリッカ成分がほぼ等しい領域毎に画素レベルを積算し、過去の複数フレームにおける同一の画像位置の前記領域に対し、前記領域毎の積算結果を平均化し、前記積算結果を用いて画像の静止部分を抽出し、前記抽出された静止部分に対して、前記領域毎の積算結果を前記領域毎の平均化結果で除算し、前記除算結果を周波数分析してフリッカの有無を判定するので、第1の実施の形態と比較して、静止部分判定ブロックのサイズを小さくすることができるため、細かいブロックで静止判定が可能となり、フリッカ検出精度が向上する。また、第1の実施の形態と同様、動画像の撮像時においても50Hz、60Hzのフリッカ検出を高精度に行うことができる。

【0053】(第3の実施の形態)本発明の第3の実施の形態のフリッカ検出装置では、静止部分抽出部9は、加算部8の現在の加算結果と、同一画像位置のブロックの過去の加算結果との差分をとる差分手段と、前記差分手段の出力を前記現在の加算結果または過去の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する。静止部分抽出部9以外の部分の構成は第1の実施の形態と同様である。

【0054】図13は、本発明の第3の実施の形態のフリッカ検出装置における静止部分抽出部9の構成を示すブロック図である。この静止部分抽出部9は、加算部7の出力および記憶部8の出力が入力される差分手段31と、差分手段31の出力および加算部7の出力が入力される除算手段32と、除算手段32の出力が入力されるしきい値処理手段33とを備えている。

【0055】差分手段31は、加算部7の現在の加算結果 $B - SUM_{nj}$ と、記憶部8から読み出された1フレーム前の加算結果 $B - SUM_{n-1j}$ との差分をとり、除算手段32に出力する。除算手段32は、差分手段31の出力を加算部7の出力で除算し、しきい値処理手段33へ出力する。除算手段の出力は

$$|B - SUM_{nj} - B - SUM_{n-1j}| / B - SUM_{nj}$$

となる。

【0056】しきい値処理手段33は上記式の値が予め設定されたしきい値TH以下の場合、第nフレームのj番目の静止部分判定ブロックを静止部分と判定する。しきい値処理手段33の判定結果は、除算手段5に与えられる。除算手段5およびフリッカ判定手段6の動作は第1の実施の形態と同様である。

【0057】本発明の第3の実施の形態では、現フレームの $B - SUM_{nj}$ と1フレーム前の $B - SUM_{n-1j}$ との変化量の比を計算し、しきい値処理を行っているため、対象となる映像信号のレベルが異なっても精度の高い静止部分抽出ができ、その結果、フリッカ検出精度も向上する。

【0058】なお、除算手段32において、加算部7の出力である $B - SUM_{nj}$ で除算する代わりに、記憶部8の出力である $B - SUM_{n-1j}$ で除算しても同様な効果が得られる。

【0059】(第4の実施の形態)本発明の第4の実施の形態のフリッカ検出装置では、静止部分抽出部9は、加算部7の現在の加算結果と、同一画像位置の静止部分判定ブロックの過去の加算結果を平均化する平均化手段と、前記現在の加算結果と前記平均化手段の平均化結果との差分をとる差分手段と、前記差分手段の差分結果を前記平均化手段の平均化結果または前記現在の加算結果で除算する除算手段と、前記除算結果と所定のしきい値との大小関係から前記ブロックが静止部分であるか否かを判定するしきい値処理手段とを有する。

【0060】図14は、本発明の第4の実施の形態のフリッカ検出装置における静止部分抽出部9の構成を示すブロック図である。この静止部分抽出部9は、加算部7の出力および記憶部8の出力が入力される平均化手段41と、加算部7の出力および平均化手段41の出力が入力される差分手段42と、差分手段42の出力および加算部7の出力が入力される除算手段43と、除算手段43の出力が入力されるしきい値処理手段33とを備えている。

【0061】平均化手段41は、加算部7の現在の加算結果 $B - SUM_{nj}$ と、記憶部8から読み出された1、2フレーム前の加算結果 $B - SUM_{n-1j}$ 、 $B - SUM_{n-2j}$ を平均化し、差分手段42へ出力する。平均化手段41の出力を $B - AVE_{nj}$ とすると、

$$B - AVE_{nj} = (B - SUM_{nj} + B - SUM_{n-1j} + B - SUM_{n-2j}) \times 1/3$$

となる。

【0062】差分手段42は、加算部7の現在の加算結果 $B - \text{SUM}_{nj}$ と、平均化手段の平均化結果 $B - \text{AVE}_{nj}$ との差分をとり、除算手段43に出力する。除算手段43は、差分手段42の出力を加算部7の出力で除算し、しきい値処理手段44へ出力する。除算手段の出力は $|B - \text{SUM}_{nj} - B - \text{AVE}_{nj}| / B - \text{SUM}_{nj}$ となる。

【0063】しきい値処理手段44は上記式の値が予め設定されたしきい値TH以下の場合、第nフレームのj番目の静止部分判定ブロックを静止部分と判定する。しきい値処理手段44の判定結果は、除算手段5に与えられる。除算手段5およびフリッカ判定手段6の動作は第1の実施の形態と同様である。

【0064】本発明の第4の実施の形態では、現フレームの加算結果 $B - \text{SUM}_{nj}$ と、過去のフレームの加算結果の平均値 $B - \text{AVE}_{nj}$ との変化量の比を計算し、しきい値処理を行っているので、現フレームと比較する過去のフレームが安定する。このため、動きのある画像に対しても精度良く静止部分を抽出でき、その結果、50Hz、60Hzのフリッカ検出精度も向上する。

【0065】なお、除算手段32において、 $B - \text{SUM}_{nj}$ で除算する代わりに $B - \text{AVE}_{nj}$ で除算しても同様な効果が得られる。また、平均化手段41は、加算平均に限らず巡回型フィルタやFIRフィルタで構成しても同様な効果が得られる。

【0066】(第5の実施の形態) 本発明の第5の実施の形態のフリッカ検出・補正装置では、第1～第4の実施の形態のフリッカ検出装置の出力をもとに、撮像素子のシャッター速度、および撮像素子で生成された映像信号のゲインを制御する。

【0067】図15は、本発明の第5の実施の形態のフリッカ検出・補正装置を備えた撮像装置の構成を示すブロック図である。このフリッカ検出・補正装置は、撮像装置の一部として構成されている。

【0068】この撮像装置は、MOS型撮像素子などの撮像手段53と、撮像手段53で生成された映像信号のレベルを制御するAGC増幅手段54と、AGC増幅手段54の出力をデジタル化するAD変換手段55と、撮像手段53を駆動する駆動手段56と、AD変換手段55の出力からフリッカを検出するフリッカ検出手段51と、フリッカ検出手段51のフリッカ検出出力と、AD変換手段55の出力とを用いて、撮像素子53のシャッター速度制御信号、およびAGC増幅手段54AGCゲイン制御信号を作成するフリッカ補正制御手段52とから構成されている。ここで、フリッカ検出手段51と、フリッカ補正制御手段52とにより、フリッカ検出・補正装置が構成されている。

【0069】撮像装置において、撮像手段53は、明るさが周期的に変化する光源の下で被写体を撮像し、映像信号を生成する。撮像手段53は駆動手段56により駆動される。AGC増幅手段54は、後述するAGCゲイン制御信

号に従ってゲインが制御され、入力映像信号のレベルを制御する。AD変換手段55は、AGC増幅手段54から出力される映像信号をデジタル映像信号に変換する。フリッカ検出手段51は、第1乃至第9の実施の形態で示したフリッカ検出手段と同様な構成を有しており、AD変換手段55の出力であるデジタル映像信号を用いてフリッカ検出を行う。フリッカ補正制御手段52は、フリッカ検出手段51の出力と、AD変換手段55の出力とを用いて、シャッター速度制御信号を作成して駆動手段56に供給するとともに、AGCゲイン制御信号を作成してAGC増幅手段54に供給する。

【0070】フリッカ補正制御手段52は、図16に示すフローチャートに従って下記処理を行う。

(1) 電源投入時にmode=50に初期設定する(ステップS1→S2)。以後、下記(2)～(7)のループ動作を行う。

(2) 映像信号レベルを取得する(ステップS3)。

(3) 映像信号レベルとmodeに従って、自動ゲイン制御信号とシャッター速度を設定する(ステップS4)。

(4) フリッカ検出結果を取得する(ステップS5)。

(5) フリッカ検出結果より、50Hzのフリッカ有りの場合は、mode=50に設定する(ステップS6→S8)。

(6) フリッカ検出結果より、60Hzのフリッカ有りの場合は、mode=60に設定する(ステップS6→S7→S9)。

(7) フリッカ検出結果より、フリッカ無しあるいは不明の場合は、modeを保持する(ステップS6→S7→S10)。

【0071】次に、AGCゲイン、およびシャッター速度の設定方法について図17を用いて説明する。この図の(a)は光量に応じたAGCゲインの設定値を示したものであり、(b)は光量に応じた、mode=50の場合のシャッター速度の設定値を示したものである。映像信号レベルは撮像時の光量に比例するため、シャッター速度、AGCを制御することにより、光量変動しても映像信号レベルを一定に保つようにしている。

【0072】まず、光量に応じて、AGCゲインを図17(a)のように制御する。ここで、MINはAGCゲインの取り得る範囲の最小値であり、MAXは最大値である。

【0073】光量が少ない場合、シャッター速度はフレーム周波数(この場合は30Hz)と光源の電源周波数(この場合は50Hz)とに応じて決まる、フリッカの発生しない最も遅いシャッター速度、すなわち電源周波数の整数倍でかつフレーム周波数以下の最も遅い速度である $3/100$ 秒とする。

【0074】光量が大きくなるにつれて、AGCゲインを徐々に下げていき、MINをとったら、シャッター速度を電源周波数の整数倍でかつ現在値よりも速い速度

(2/100秒)に設定する。同時に、AGC利得をMINに対し、シャッター速度の変化量の比率の逆数である3/2倍変化させる。このように、シャッター速度とAGCゲインとを連動制御することで、シャッター速度が変化した際に映像レベルが急激に変化することを回避し、画質劣化を防止する。

【0075】光量が十分大きくなり、シャッター速度がフリッカの発生しない最も速い速度(50Hzの場合には1/100秒)となり、かつAGCゲインがMINになったら、光量に比例して、シャッター速度を速くしていく。このとき、AGCゲインはMINに固定する。このように設定することで、光量が高くなっても映像信号レベルが飽和することがなくなるため、ダイナミックレンジが広がり、映像が表示されるようになる。

【0076】1/100秒とそれ以上の値(例えば1/250秒)との間は、頻繁に往復しないように、ヒステリシスを持たせておくことが好適である。

【0077】以上は、電源周波数が50Hzの場合のシャッター速度であったが、電源周波数が60Hzの場合も同様に、電源周波数の整数倍、すなわち1/120秒、2/120秒、3/120秒、・・・に設定すればよい。

【0078】なお、図15ではAGC増幅手段54はアナログ映像信号のレベルを制御しているが、図15のAGC増幅手段54に代えて、AD変換手段55の後段にデジタルAGC増幅手段を設け、デジタル的にゲイン制御を行う構成にしても良い。

【0079】このように本発明の第5の実施の形態によれば、第1～第4の実施の形態で示した、50Hz、60Hzのフリッカを精度良く検出できるフリッカ検出装置を用いて検出されたフリッカ周波数と、入力映像信号レベルとに応じて、撮像素子のシャッター速度、および映像信号のゲインを制御することにより、精度の高いフリッカ補正が可能となる。また、シャッター速度の変化と同時に、映像信号のゲインを前記変化量の逆数分変化させることにより、シャッター速度の変化によって輝度レベルが急激に変化することを回避し、画質劣化を防止することが可能となる。さらに、入射光量が大きくなった場合でも、映像が表示されなくなる状態を回避することができる。

【0080】なお、前記各実施の形態では、平均化手段3において、過去の複数フレームを平均化したが、現在のフレームを含めて平均化しても同様の効果が得られる。

【0081】

【発明の効果】以上のように、本発明のフリッカ検出装置および方法によれば、画像の静止部分を用いてフリッカを検出することにより、被写体の動きなどによる輝度レベルの変動があった場合でも、MOS型撮像素子を用いた撮像時に発生するフレーム内フリッカを検出することが可能となる。

【0082】また、本発明のフリッカ検出・補正装置および方法によれば、本発明のフリッカ検出装置および方法で検出されたフリッカ周波数と、入力映像信号レベルとに応じて、映像信号を生成する撮像素子のシャッター速度、および前記映像信号のゲインを制御するので、50Hz、60Hz両方のフリッカを自動判別し、フリッカ補正を行うことができる。さらに、入射光量が大きくなったときにはシャッター速度を速くして撮像することにより、明るい場合も映像信号レベルを飽和させずに撮像することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のフリッカ検出装置の構成を示すブロック図、

【図2】図1における積算手段の演算を説明するための図、

【図3】図1における平均化手段の演算を説明するための図、

【図4】図1における加算部の演算を説明するための図、

【図5】図1における静止部分抽出部の判定処理を説明するための図、

【図6】図1におけるフリッカ判定手段の構成例を示す図、

【図7】図1における除算手段およびDFT手段の出力の一例を示す図、

【図8】本発明の第2の実施の形態のフリッカ検出装置における積算手段の演算を説明するための図、

【図9】本発明の第2の実施の形態のフリッカ検出装置における平均化手段の演算を説明するための図、

【図10】本発明の第2の実施の形態のフリッカ検出装置における加算部の演算を説明するための図、

【図11】本発明の第2の実施の形態のフリッカ検出装置における静止部分抽出部の判定処理を説明するための図、

【図12】本発明の第2の実施の形態のフリッカ検出装置に入力される映像信号を生成する撮像素子に用いる色フィルタの例を示す図、

【図13】本発明の第3の実施の形態のフリッカ検出装置における静止部分抽出部の構成を示すブロック図、

【図14】本発明の第4の実施の形態のフリッカ検出装置における静止部分抽出部の構成を示すブロック図、

【図15】本発明の第5の実施の形態のフリッカ検出・補正装置を備えた撮像装置の構成を示すブロック図、

【図16】図14におけるフリッカ補正制御手段の処理を示すフローチャート、

【図17】図14におけるフリッカ補正制御手段の動作を説明するための図、

【図18】電源周波数が50Hzの場合の、フリッカの発生原理を説明するための図、

【図19】電源周波数が60Hzの場合の、フリッカの発

生原理を説明するための図、

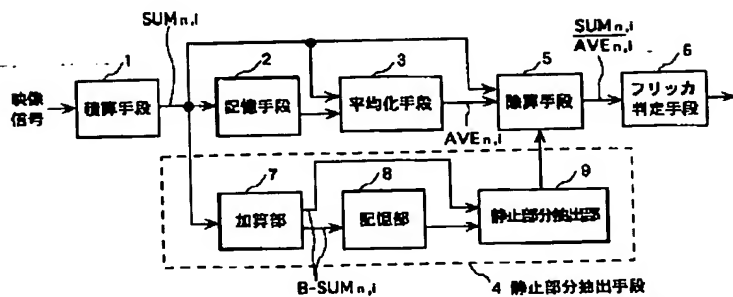
【図20】フリッカを補正する原理を説明するための図である。

【符号の説明】

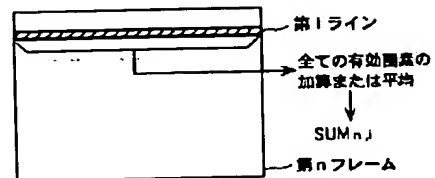
- 1 積算手段
- 2 記憶手段
- 3 平均化手段
- 4 静止部分抽出手段
- 5、32、43 除算手段
- 6 フリッカ判定手段

- 7 加算部
- 8 記憶部
- 9 静止部分抽出部
- 21 DFT手段
- 22、33、44 しきい値処理手段
- 31、42 差分手段
- 41 平均化手段
- 51 フリッカ検出手段
- 52 フリッカ補正制御手段
- 53 撮像手段

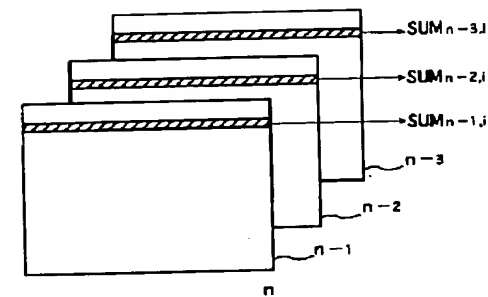
【図1】



【図2】

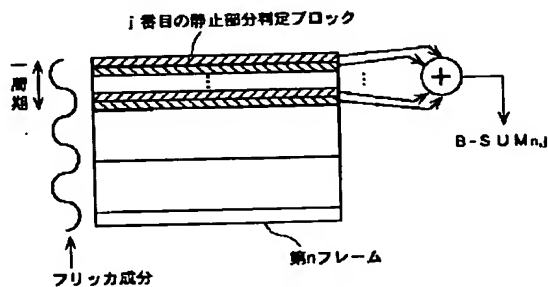


【図3】

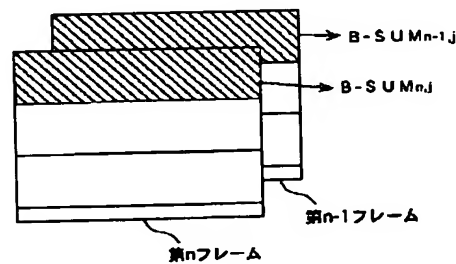


$$AVE_{n,i} = \frac{SUM_{n-1,i} + SUM_{n-2,i} + SUM_{n-3,i}}{3}$$

【図4】



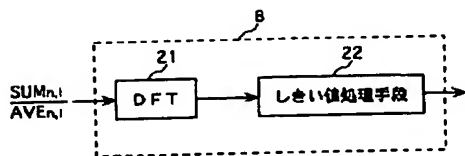
【図5】



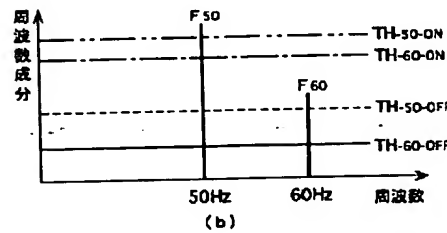
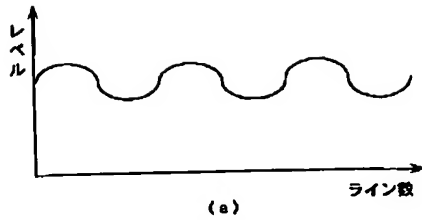
$$|B-SUM_{n,i} - B-SUM_{n-1,i}| \leq TH$$

静止部分

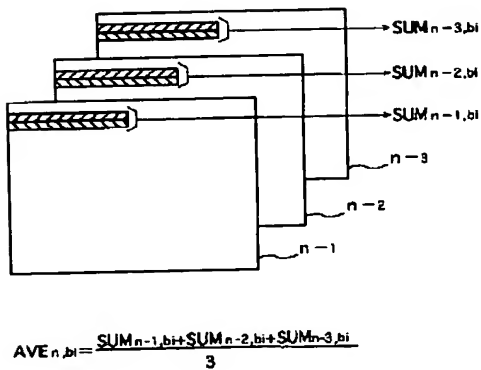
【図6】



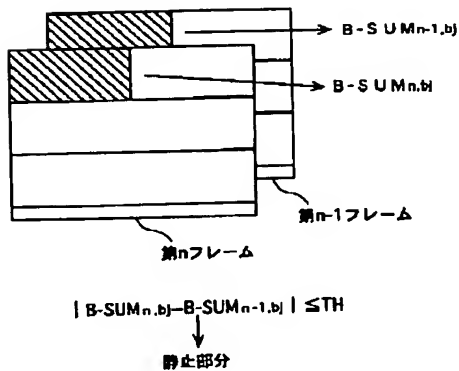
【図7】



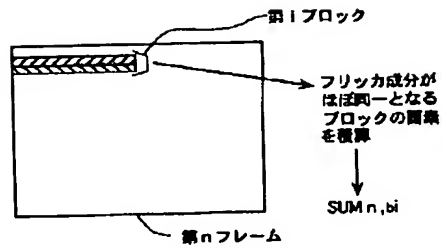
【図9】



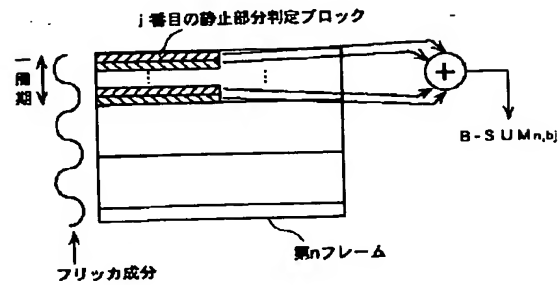
【図11】



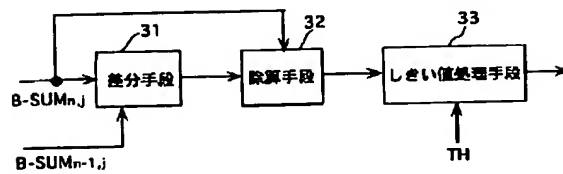
【図8】



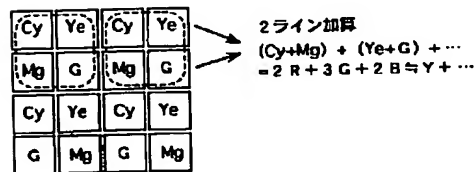
【図10】



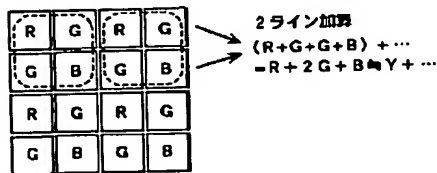
【図13】



【図12】

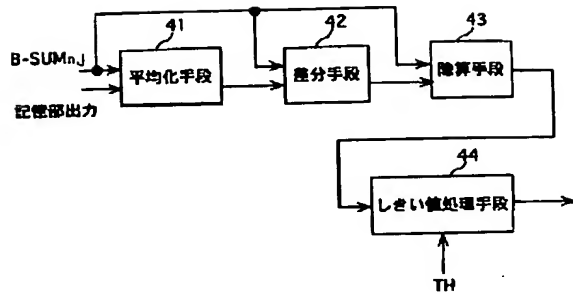


(a) 補色フィルタ配列

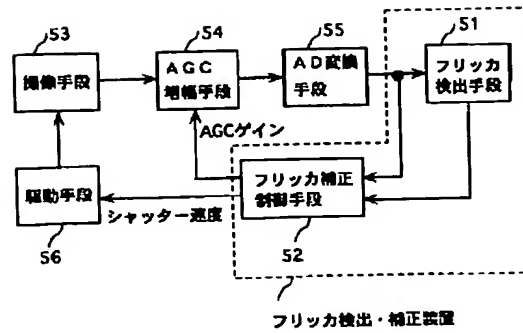


(a) 原色フィルタ (バイヤー) 配列

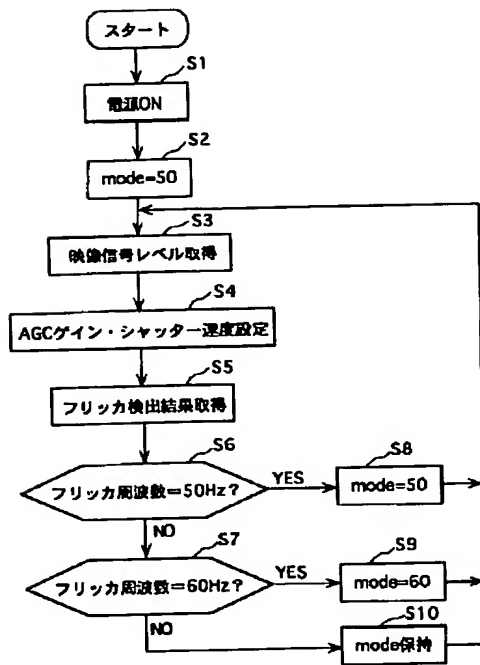
【図14】



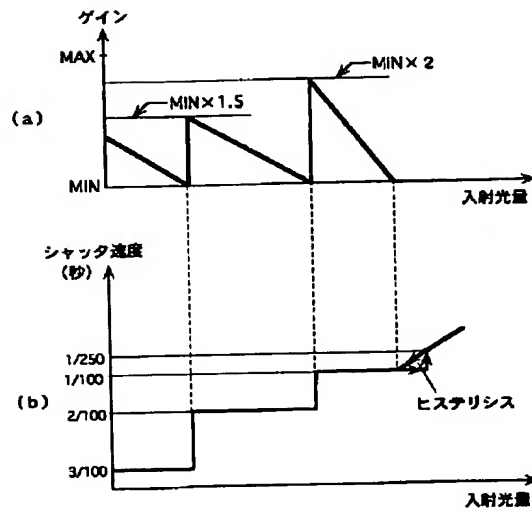
【図15】



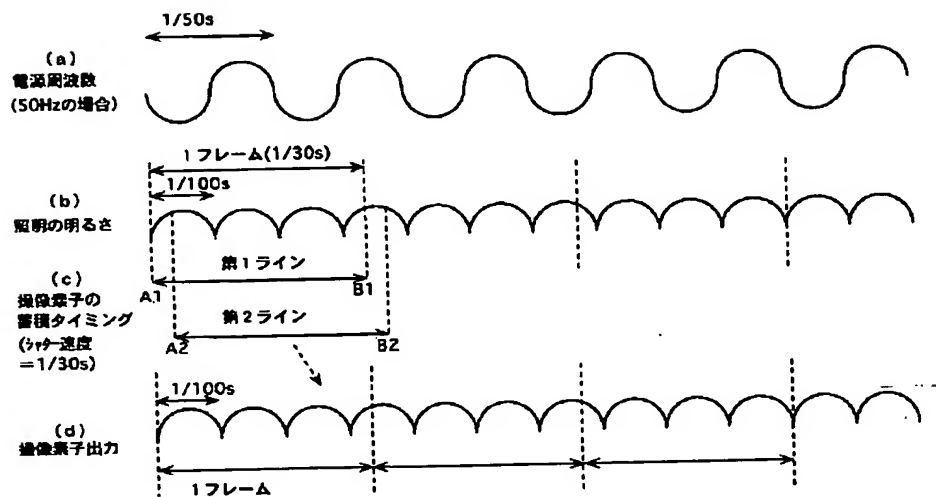
【図16】



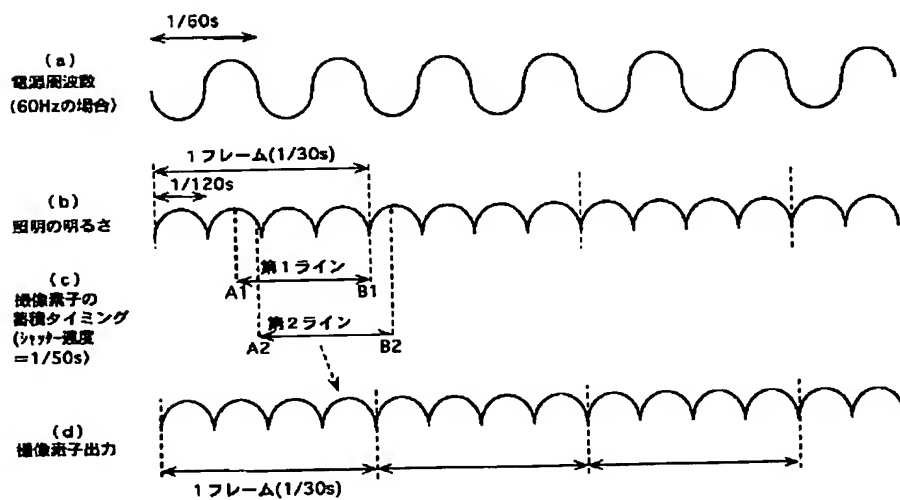
【図17】



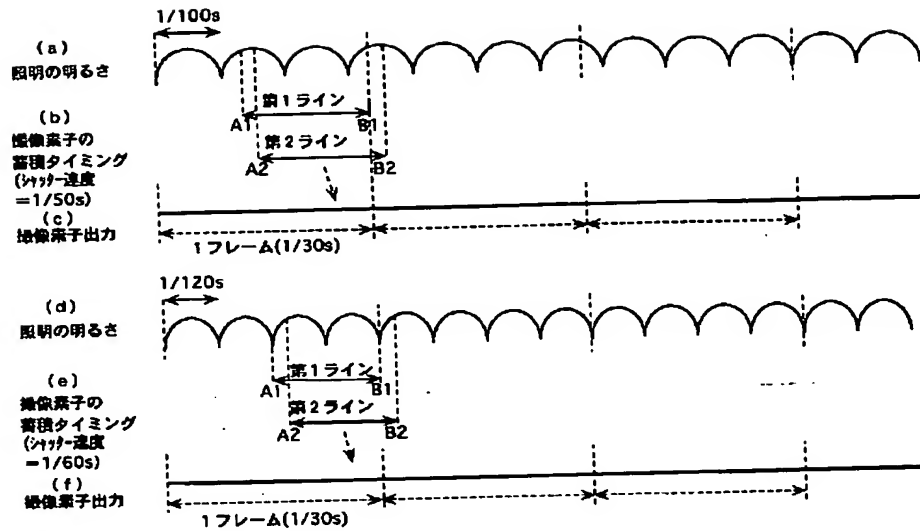
【図18】



【図19】



【図20】



フロントページの続き

(72)発明者 須部 信
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

Fターム(参考) 5C021 XA43 YA07
5C022 AA11 AB37 AC42
5C065 AA01 BB21 DD15 DD17 EE05
EE06 EE08 GG17 GG22 GG23
GG24 GG27 GG50